

(19) 

(11) Publication number: 61160130 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 60001303

(51) Int. Cl.: G06F 1/04 G11C 7/00 G11C 11/34

(22) Application date: 08.01.85

(30) Priority:

(43) Date of application
publication: 19.07.86(84) Designated
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: KATO AKIRA

(74) Representative:

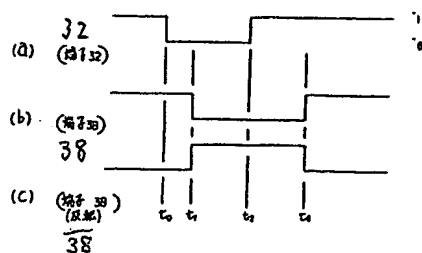
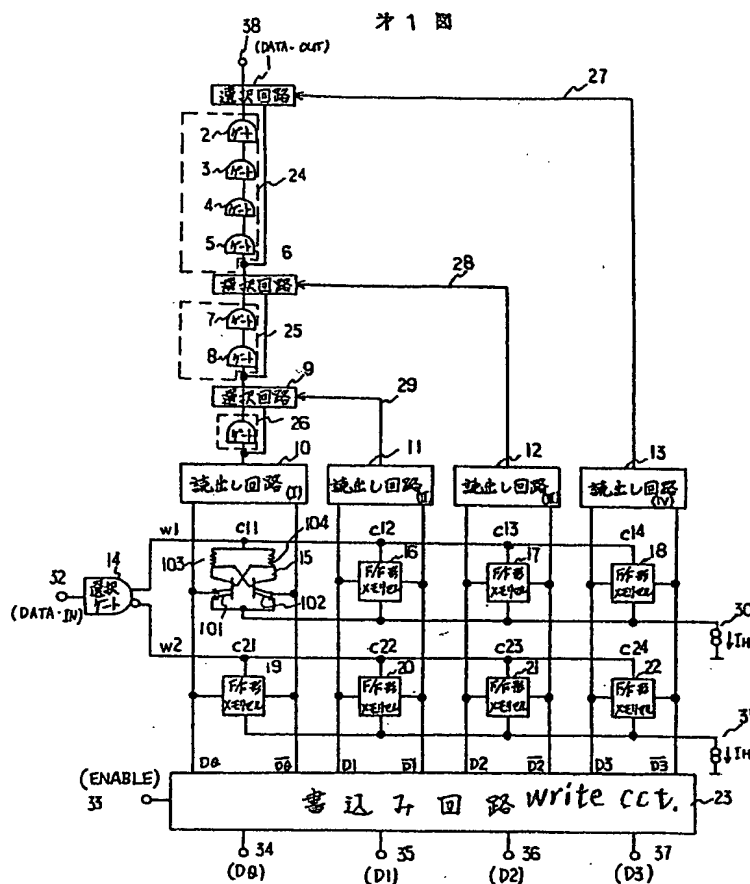
(54) TIMING GENERATING
CIRCUIT

(57) Abstract:

PURPOSE: To make a timing generating circuit suitable for high integration and temporally setting up a timing output by providing the circuit with plural gate groups for cascade connection and selecting any one input from the plural gate groups or an output on the basis of a program.

CONSTITUTION: A high level or low level signal is inputted to an input terminal 32 of a selecting gate 14. A the high level of the input, F/F type memory cells 15-18 are selected, and at the low level of the input, F/F type memory cells 19-22 are selected. The initial value information of a timing output signal and selecting signal information are inputted to writing data terminals 34-37 and a signal specifying the writing operation is inputted to a reading/writing operation control terminal 33 to execute the writing operation. On the other hand, the reading operation is executed by detecting the potential values of respective bit lines of a selected F/F type memory cell array by reading circuits 10-13 and reading out respective information in the F/F type memory cell array by circuits 10'-13' and respective memory cell array is read out. At that time, the terminal 33 is used for the reading operation.

COPYRIGHT: (C)
1986,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-160130

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月19日

G 06 F 1/04
G 11 C 7/00
11/34

D-7157-5B
6549-5B
7230-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 タイミング発生回路

⑮ 特 願 昭60-1303

⑯ 出 願 昭60(1985)1月8日

⑰ 発 明 者 加 藤 晃 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

タイミング発生回路

2. 特許請求の範囲

複数の縦続接続したゲート群と、前記複数の縦続接続したゲート群の入力と出力とのうちのいずれかを選択するため、前記複数の縦続接続したゲート群に対応して設けた複数の選択回路と、前記選択回路の選択信号およびタイミング出力信号初期値を書込んでおくためマトリクス状に配列された複数のメモリセルと、前記選択信号および前記タイミング出力信号初期値を前記複数のメモリセルに書き込むための書き込み回路と、前記選択信号および前記タイミング出力信号初期値を前記複数のメモリセルより読出すため前記複数の選択回路に対応した複数の読出し回路とを具備して構成したことを特徴とするタイミング発生回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多相タイミング信号が必要な情報処

理装置に使用されるプログラム可能なタイミング発生回路に関する。

(従来の技術)

一般に情報処理装置においては、複数のタイミング回路が必要であり、従来、この種のタイミング発生回路は複数の縦続接続されたゲート群により構成されていた。このような従来技術による構成では、上記ゲート群の入力端子と出力端子とのうちのいずれかを他のゲート群の入力端子に印刷配線の導線により接続して縦続接続がなされていた。

(発明が解決しようとする問題点)

斯かる従来技術によるプログラム可能なタイミング発生回路では、ゲート段数を変化させて第1段目の入力端子から入力されるタイミング信号の入力に対して種々の遅延時間を有するタイミング出力信号を得ているため、タイミング出力信号の設定変更が困難であると共に汎用性に欠け、外部端子数が多くなるという欠点があつた。

本発明の目的は、複数の縦続接続用の複数のゲ

ート群を備えて上記縦続接続用の複数のゲート群の一つの入力か、あるいは出力とのうちのいずれかをプログラムにより選択することにより上記欠点を除去し、高集積化に適し、タイミング出力を仮設定できるように構成したプログラム可能なタイミング発生回路を提供することにある。

(問題点を解決するための手段)

本発明によるタイミング発生回路は、複数の縦続接続したゲート群と、複数の選択回路と、複数のメモリセルと、書き込み回路と、複数の読出し回路とを備えて構成したものである。

複数の選択回路は、複数の縦続接続したゲート群の入力と出力とのうち、いずれかを選択するためのものである。

複数のメモリセルは選択回路の選択信号、およびタイミング出力信号初期値を書込んでおくためのマトリクス状に配置されたものである。

書き込み回路は、選択信号、およびタイミング出力信号初期値を複数のメモリセルに書き込むためのものである。

10～13と、選択信号およびタイミング出力信号の初期値をF/F形メモリセル15～22に書き込むための書き込み回路23と、F/F形メモリセル15～18、あるいはF/F形メモリセル19～22をタイミング入力信号によりメモリセル列として選択するための選択ゲート14とにより構成されている。ここで、遅延ゲート群24は遅延ゲート2～5から成り、遅延ゲート群25は遅延ゲート7、8から成り、遅延ゲート26は一つの遅延ゲート26から成る。30、31はそれぞれ電流源である。

F/F形メモリセル15～22はすべて同一の構成を有し、F/F形メモリセル15はクロスカプルされたマルチエミッタトランジスタ101、102、および抵抗器103、104によりフリップフロップを形成している。トランジスタ101、102の一つのエミッタは、それぞれビット線D₀、D₁を通して読出し回路10、および書き込み回路23に接続されている。他方のエミッタはメモリセルの内容を保持するための電流源

複数の読出し回路は、選択信号およびタイミング出力信号初期値を複数のメモリセルより読出すため、複数の選択回路に対応した数量だけ備えたものである。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明によるタイミング発生回路の一実施例を示すブロック図である。第2図は、本発明の第1図に示す実施例の動作を説明するためその入出力端子の波形を示す波形図である。

第1図において、遅延ゲート群24～26および上記遅延ゲート群24～26ごとに入力か、あるいは出力かをそれぞれ信号線27～29上の選択信号により出力するための選択回路15、16、19から成る多段回路と、選択信号およびタイミング出力信号の初期値を書込むためのフリップフロップ(F/F)形メモリセル15～22と、F/F形メモリセル15～22より選択信号およびタイミング出力信号初期値を読出すための読出し回路

30に接続されている。F/F形メモリセル15はワード線W₁、あるいはW₂が高レベルの時に選択され、読出し動作、あるいは書き込み動作が行われる。つまり、これらのF/F形メモリセル15～22は2値情報を記憶する一種の読出し/書き込みメモリとして動作する。

次に、第2図を参照して選択ゲート14の端子32にタイミング入力信号〔第2図(a)参照〕を与えてタイミング出力信号〔第2図(b)、(c)参照〕を得る動作について説明する。

また、F/F形メモリセル15へ選択信号情報およびタイミング出力信号の初期値情報を書込んでおく。選択ゲート14の入力端子32に高レベル、あるいは低レベルの信号を入力する。入力が高レベルの時にF/F形メモリセル15～18が選択され、入力が低レベルの時にF/F形メモリセル19～22が選択される。書き込みデータ端子34～37(D₀～D₃)にタイミング出力信号の初期値情報および選択信号情報を入力し、読出し/書き込み動作制御端子38(ENABLE)に

書き込み動作（実際には「0」および「1」の2値）を指定することにより書き込みは行われる。すなわち、書き込みデータ端子34～37に与えられた情報にもとづき、書き込み回路23によりそれぞれビット線の電位を高レベル、あるいは低レベルにすることによりF/F形メモリセル15～22のフリップフロップがセットされる。また、読出し動作は選択されたF/F形メモリセル列のそれぞれのビット線の電位を読出し回路10～13により検出し、F/F形メモリセル列のそれぞれの情報を読出すことにより行われる。このとき、端子33は読出し動作に使用されるようになつている。

ここでは、上記のようにしてF/F形メモリセル15, 17, 20に「1」が書き込まれ、他のF/F形メモリセル16, 18, 19, 21, 22には「0」が書き込まれたものとする。端子33上の状態が読出し動作にセットされ、タイミング t_1 では入力タイミング信号が高レベルから低レベルに変化している。これにより、ワード線W₁が高レベル、ワード線W₂が低レベルとなる。つ

まり、このときにはF/F形メモリセル19～22が選択されて情報が読出される。このとき、F/F形メモリセル19には「0」が書き込まれているため、最終的には出力端子38の状態は「0」となるが、同時に読出されたF/F形メモリセル20～22の情報はそれぞれ「1」、「0」、「0」である。これらの情報が選択回路9, 6, 1の選択信号となつているため、選択信号が「1」の時にはゲート群23, 25, 24の出力が「0」の時には入力信号が直接出力され、F/F形メモリセル19の情報はゲート群23, 25, 24を通過して出力端子38より出力される。すなわち、ゲート1段で遅延したタイミング信号がタイミング t_1 で出力される。

次に、タイミング t_2 では入力タイミング信号が低レベルから高レベルに変化し、つまりF/F形メモリセル15～18が選択されて情報が読出される。このとき、F/F形メモリセル15には「1」が書き込まれているため、最終的には出力端子38の状態は「1」となる。しかし、同時に読

出されたF/F形メモリセル18～18の情報はそれぞれ「0」、「1」、「0」となり、この情報が選択回路9, 6, 1の選択信号となつているため、F/F形メモリセル15の情報は遅延ゲート群25を通過して出力端子38より出力される。2段の遅延ゲート8, 7より成る遅延ゲート群25で遅延したタイミング出力となる。すなわち、F/F形メモリセル15～18は立上りのタイミングを決定し、F/F形メモリセル20～22は立下りのタイミングを決定する。

第2図の(b), (c)に示すタイミング出力信号端子38の出力波形は、入力タイミング信号をそのまま遅延させるか、あるいは反転して遅延させるかしたものである。つまり、上記タイミング出力信号はF/F形メモリセル15へ「0」を書き込み、F/F形メモリセル18へ「1」を書き込むことにより得られるものである。

（発明の効果）

以上のように本発明では、タイミング入力信号の立上りタイミングと立下りタイミングとを独立

に、プログラムによつて設定できるため、回路に汎用性をもたせることができると共に、外部端子数を削減できるため、高集積化に適している、プログラムすることが可能であるという効果がある。

なお、本発明の実施例では記憶セルとしてフリップフロップ形（F/F形）のメモリセルを用いたが、PROMのようなメモリセルによる応用も考えられることはいうまでもない。

4. 図面の簡単な説明

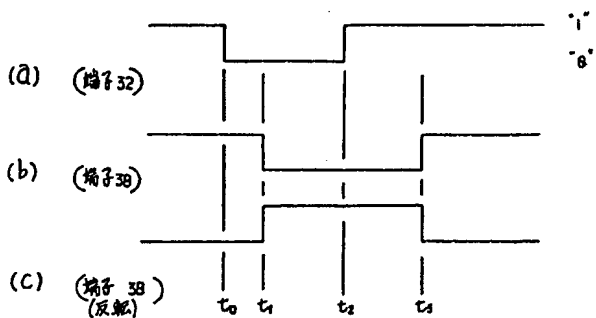
第1図は、本発明によるタイミング発生回路の一実施例を示すブロック図である。

第2図は、第1図に示すタイミング発生回路の動作を説明する波形図である。

- 1, 6, 9・・・選択回路
- 2～5, 7, 8, 14, 26・・・ゲート
- 10～13・・・読出し回路
- 15～22・・・F/F形メモリセル
- 23・・・書き込み回路
- 30, 31・・・電流源
- 101, 102・・・トランジスタ

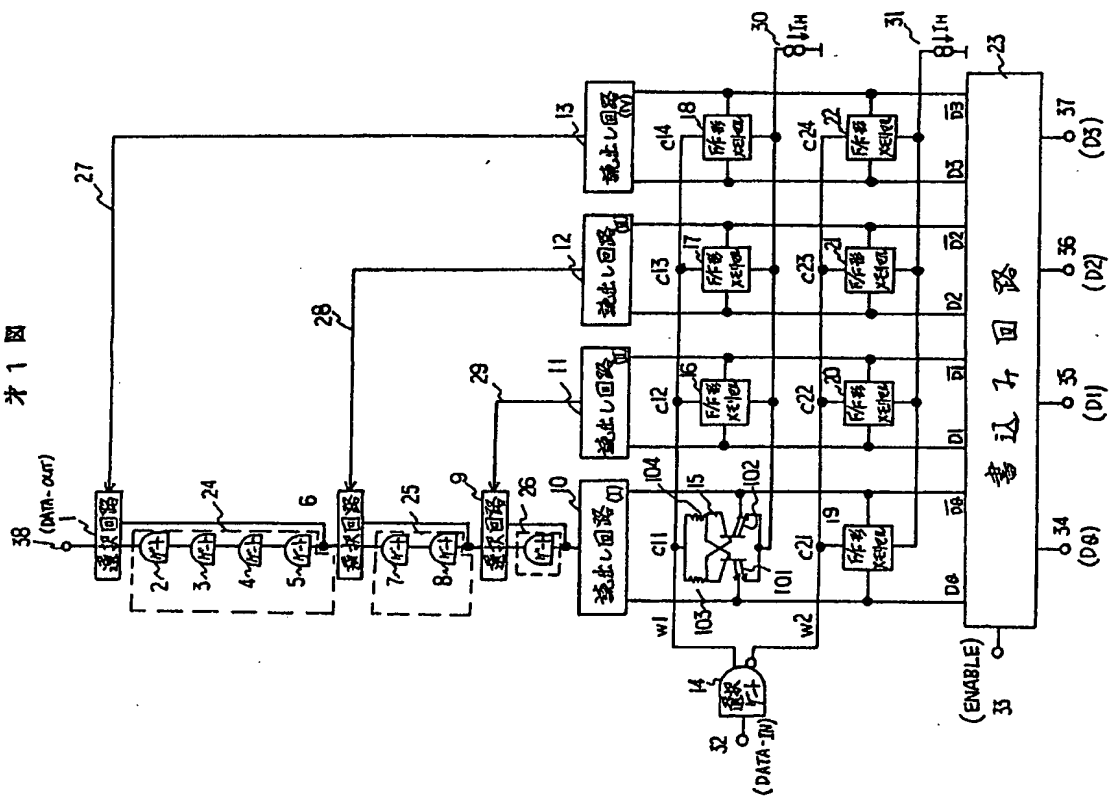
108, 104 . . . 抵抗器
32 ~ 38 . . . 端子
27 ~ 29 . . . 信号線


才 2 図



特許出願人 日本電気株式会社
代理人 弁理士 井ノ口 壽

才 1 図



(19) 

(11) Publication number: 61160130 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

Ref. 5

(21) Application number: 60001303

(51) Intl. Cl.: G06F 1/04 G11C 7/00 G11C 11/34

(22) Application date: 08.01.85

(30) Priority:

(43) Date of application
publication: 19.07.86(84) Designated
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: KATO AKIRA

(74) Representative:

(54) TIMING GENERATING
CIRCUIT

(57) Abstract:

PURPOSE: To make a timing generating circuit suitable for high integration and temporally setting up a timing output by providing the circuit with plural gate groups for cascade connection and selecting any one input from the plural gate groups or an output on the basis of a program.

CONSTITUTION: A high level or low level signal is inputted to an input terminal 32 of a selecting gate 14. A the high level of the input, F/F type memory cells 15-18 are selected, and at the low level of the input, F/F type memory cells 19-22 are selected. The initial value information of a timing output signal and selecting signal information are inputted to writing data terminals 34-37 and a signal specifying the writing operation is inputted to a reading/writing operation control terminal 33 to execute the writing operation. On the other hand, the reading operation is executed by detecting the potential values of respective bit lines of a selected F/F type memory cell array by reading circuits 10-13 and reading out respective information in the F/F type memory cell array by circuits 10-13 and respective information in the F/F type memory cell array is read out. At that time, the terminal 33 is used for the reading operation.

COPYRIGHT: (C)
1986,JPO&Japio

